

123

02/2823

Docket No.: 50099-180

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Inventor Application of

Shigenobu MAEDA, et al.

Serial No.: 09/988,593

Filed: November 20, 2001

: Customer Number: 20277

: Confirmation Number: 8927

: Group Art Unit: 2823

: Examiner: T.V. Pham

For: SEMICONDUCTOR DEVICE HAVING IMPURITY REGION UNDER ISOLATION  
REGION (As Amended)

**INFORMATION DISCLOSURE STATEMENT**

Mail Stop IDS  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

MAR 01 2004

Dear Sir:

This Information Disclosure Statement is being filed under Rule 37 CFR 1.97(i).

Accordingly, copies of the references as listed on the attached Form PTO-1449 are submitted  
herewith for placement in the file. No certification or fees are deemed necessary.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Scott D. Paul  
Registration No. 42,984

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SDP:tlb  
Facsimile: (202) 756-8087  
**Date: February 26, 2004**

\*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

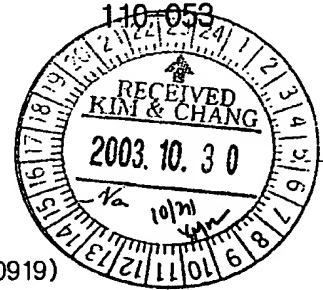
1 Applicant's unique citation designation number (optional). 2 Applicant is to place a check mark here if English language Translation is attached.

출력 일자: 2003/10/30

발송번호 : 9-5-2003-042315419  
발송일자 : 2003. 10. 29  
제출기일 : 2003. 12. 29

수신 : 서울 종로구 내자동 219 한누리빌딩(김&  
장 특허법률사무소)  
장수길 귀하

## 특허청 의견제출통지서



출원인                    명칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)  
                              주소 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고

대리인                    성명 장수길 외 1 명  
                              주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호                10-2001-0060994

발명의 명칭            반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1항 내지 제3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적인 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

이 출원은 명세서 또는 도면 및 특허청구범위의 기재가 아래에 지적인 바와 같이 불비하여 특허법 제42조제3항 및 제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

### [아래]

1. 본원 발명 청구범위 제1항 내지 제2항은 반도체 기판, 매립절연층 및 S01층을 포함하는 S01 구조의 반도체 장치에 있어서 복수의 소자 형성 영역, 분리 절연막, 제1도전형의 반도체 영역, 제1도전형의 바디 영역, 상기 반도체 영역은 제1도전형의 불순물만을 포함하고, 상기 분리절연막은 적어도 일부에 있어 다른 영역보다 막 두께가 두꺼운 영역을 구비하는 것을 특징으로 하는 반도체 장치에 관한 것입니다.

한편, 인용발명1(한국공개특허공보 2000-0048319호(2000.07.25))은 반도체 기판, 매립절연층 및 S01층을 포함하는 S01 구조의 반도체 장치에 있어서 복수의 소자 형성 영역, 소자 분리 영역, 반도체 영역, 바디 영역을 포함하는 반도체 장치에 관한 것이고, 인용발명2(한국공개특허공보 2000-0047907호(2000.07.25))는 실리콘 기판, 매립 절연막 및 표면실리콘층이 적층된 S01 구조의 반도체 장치에 있어서 소자 분리 영역, 복수의 소자 형성 영역, 제1도전형의 반도체층, 제1도전형의 채널 영역, 제2도전형의 소스/드레인 영역을 포함하는 반도체 장치에 관한 것입니다.

본원 발명과 인용발명들을 비교하면, 청구범위 제1항 내지 제2항에서 본원 발명의 복수의 소자 형성 영역, 분리절연막, 제1도전형 반도체 영역, 제1도전형 바디 영역의 구성은 인용 발명1의 복수의 소자 형성 영역, 소자 분리 영역, 반도체 영역, 바디 영역의 구성과 동일하고, 본원 발명의 제1도전형의 불순물만을 포함하는 반도체 영역은 인용 발명 2의 제1도전형의 반도체층 및 채널 영역을 포함하는 구성과 동일합니다.

다만, 본원 발명에서 상기 분리절연막은 적어도 일부에 있어 다른 영역보다 막 두께가 두꺼운 영역을 구비하는 것과 인용발명1의 분리절연막의 모양을 변형시키는 것이 다소 차이는 있으나, 이는 단순한 설계변경의 정도에 지나지 않는 것이며, 웨트 처리로 나타날 수 있는 일반적인 현상으로 본원 발명의 막 두께가 다른 영역을 구비하는 분리절연막의 구성으로 인한 효과의 현저한 상승 또한 기대되지 않습니다.

따라서, 본원 발명의 청구범위 제1항 내지 제2항은 상기 인용 발명1과 인용 발명2로부터 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

2. 본원 발명 청구범위 제3항은 반도체 기판, 매립절연층 및 S01층을 포함하는 S01 기판을 준비하는 단계, 분리절연막을 선택적으로 형성하는 단계, 분리절연막 하층부에 제1도전형 반도체 영역을 형성하는 단계, 적어도 하나의 소자 영역의 표면에 제2도전형의 활성 영역을 형성하는 단계, 바디 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법은 인용발명1의 반도체 기판, 매립절연층 및 S01층을 포함하는 S01 기판 준비하는 단계, 분리절연막 형성 단계, 분리절연막 하층에 제1도전형의 웰영역 형성 단계, 바디 영역 형성 단계, 제2도전형의 소스/드레인 영역 형성 단계를 포함하는 반도체 장치 제조방법 및 인용발명2의 S01 기판 준비 단계, 제1도전형의 표면 반도체층에 형성된 제2도전형 소스/드레인 영역 형성 단계, 제1도전형의 채널 영역 형성 단계를 포함하는 반도체 장치 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

3. 본원 발명 상세한 설명 <146>의 'CMP 처리 —, N형 불순물이 부분산화막(31)에 주입되게 되어 바디 저항이 감소하는 상황이 된다' 라는 기재는 앞의 설명에서 N형 불순물이 주입되게 되면 바디 저항이 증가하게 된다는 설명과 일치하지 않아 그 기재가 불명확합니다.(특허법 제42조제3항)

[첨 부]

첨부 1 한국공개특허공보 2000-48319호(2000.07.25) 1부

첨부2 한국공개특허공보 2000-47907호(2000.07.25) 1부 끝.

2003.10.29

특허청

심사4국

반도체2심사담당관실

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터